

Family list

1 family member for: **JP2002190598**
Derived from 1 application

[Back to JP2002190598](#)

**1 THIN-FILM TRANSISTOR ARRAY SUBSTRATE AND METHOD OF
MANUFACTURING THE SAME**

Inventor: GOTO SHINJI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

EC:

IPC: G02F1/1368; G09F9/30; H01L21/3213 (+14)

Publication info: JP2002190598 A - 2002-07-05

Data supplied from the *esp@cenet* database - Worldwide

THIN-FILM TRANSISTOR ARRAY SUBSTRATE AND METHOD OF MANUFACTURING THE SAME**Publication number:** JP2002190598**Publication date:** 2002-07-05**Inventor:** GOTO SHINJI**Applicant:** MATSUSHITA ELECTRIC IND CO LTD**Classification:**

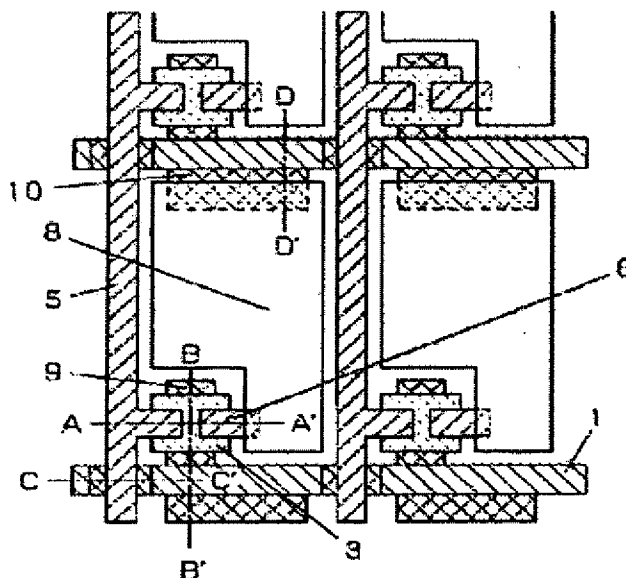
- international: G02F1/1368; G09F9/30; H01L21/3213; H01L21/768;
H01L23/522; H01L29/786; G02F1/13; G09F9/30; H01L21/02;
H01L21/70; H01L23/52; H01L29/66; (IPC1-7): H01L29/786;
G02F1/1368; G09F9/30; H01L21/3213; H01L21/768

- European:**Application number:** JP20000386628 20001220**Priority number(s):** JP20000386628 20001220

Report a data error here

Abstract of JP2002190598

PROBLEM TO BE SOLVED: To provide a thin-film transistor array substrate, used in a liquid crystal display or the like which has superior characteristics and a low defective rate, having no increase in the number of manufacturing processes, and to provide a method of manufacturing the same. **SOLUTION:** Using gray-tone exposure technology, interconnections which are partially different in thickness are formed, without having to increase the number of processes. In a part where electrical interconnections, such as scanning lines and signal lines intercross, difference in level between the interconnections can be reduced, resulting in improving the step coverage of an insulation film and reducing defects, such as short-circuitings and disconnections between the interconnections. Since a gate insulation film can be formed thinner than in the conventional one, an on-state current of the thin film transistor is increased.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項 1】絶縁表面を有する基板上に、走査線と、前記走査線と交差した信号線と、前記走査線と前記信号線の交差する部分に配置され、走査線に接続されたゲート電極とゲート絶縁膜と半導体膜と信号線に接続されたソース電極とドレイン電極を具備する薄膜トランジスタと、前記薄膜トランジスタのドレイン電極に接続された画素電極を具備する薄膜トランジスタアレイ基板において、前記ゲート電極を兼ねる前記走査線が少なくとも 2

つの膜厚を有し、前記走査線のうち少なくとも薄膜トランジスタのチャンネル部に対応する部分の膜厚が、他の部分に比べ薄いことを特徴とする薄膜トランジスタアレイ基板。

【請求項 2】絶縁表面を有する基板上に、走査線と、前記走査線と交差した信号線と、前記走査線と前記信号線の交差する部分に配置され、走査線に接続されたゲート電極とゲート絶縁膜と半導体膜と信号線に接続されたソース電極とドレイン電極を具備する薄膜トランジスタと、前記薄膜トランジスタのドレイン電極に接続された画素電極と、前記走査線の一部を片側の電極の少なくとも一部とした蓄積容量を具備する薄膜トランジスタアレイ基板において、ゲート電極および蓄積容量電極を兼ねる走査線が、少なくとも 2つの膜厚を有し、前記走査線の少なくとも蓄積容量電極に対応する部分の膜厚が、他の部分に比べ薄いことを特徴とする薄膜トランジスタアレイ基板。

【請求項 3】前記ゲート電極を兼ねる前記走査線が少なくとも 2つの膜厚を有し、前記走査線のうち少なくとも薄膜トランジスタのチャンネル部に対応する部分の膜厚が、他の部分に比べ薄いことを特徴とする請求項 2 に記載の薄膜トランジスタアレイ基板。

【請求項 4】絶縁表面を有する基板上に、走査線と、前記走査線上を少なくとも絶縁膜を介してと交差する信号線と、前記走査線と前記信号線の交差する部分に配置され、走査線に接続されたゲート電極とゲート絶縁膜と半導体膜と信号線に接続されたソース電極とドレイン電極を具備する薄膜トランジスタと、前記薄膜トランジスタのドレイン電極に接続された画素電極を具備する薄膜トランジスタアレイ基板において、前記走査線が、少なくとも 2つの膜厚を有し、前記走査線の少なくとも信号線と交差する部分の膜厚が、他の部分に比べ薄いことを特徴と薄膜トランジスタアレイ基板。

【請求項 5】前記ゲート電極を兼ねる前記走査線が少なくとも 2つの膜厚を有し、前記走査線のうち少なくとも薄膜トランジスタのチャンネル部に対応する部分の膜厚が、他の部分に比べ薄いことを特徴とする請求項 4 に記載の薄膜トランジスタアレイ基板。

【請求項 6】前記走査線の一部を片側の電極の少なくとも一部とした蓄積容量を具備し、ゲート電極および蓄積容量電極を兼ねる走査線が、少なくとも 2つの膜厚を有

し、前記走査線の少なくとも蓄積容量電極に対応する部分の膜厚が、他の部分に比べ薄いことを特徴とする請求項 4 または請求項 5 に記載の薄膜トランジスタアレイ基板。

【請求項 7】絶縁表面を有する基板上に、ゲート電極を具備する走査線を形成する工程と、ゲート絶縁膜を形成する工程と、半導体膜を形成する工程と、ソース電極またはドレイン電極を具備する信号線を形成する工程を少なくとも含む薄膜トランジスタアレイ基板の製造方法において、前記ゲート電極を具備する走査線を形成する工程が、絶縁表面を有する基板上に金属膜を形成する工程と、前記金属膜上に少なくとも 2つの厚さを有するレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより、少なくとも 2つの厚さを有する金属膜パターンを形成する工程を少なくとも含むことを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 8】絶縁表面を有する基板上に、信号線と、前記信号線上を少なくとも絶縁膜を介してと交差する走査線と、前記信号線と前記走査線の交差する部分に配置され、走査線に接続されたゲート電極とゲート絶縁膜と半導体膜と信号線に接続されたソース電極とドレイン電極を具備する薄膜トランジスタと、前記薄膜トランジスタのドレイン電極に接続された画素電極を具備する薄膜トランジスタアレイ基板において、前記信号線が少なくとも 2つの膜厚を有し、前記信号線の少なくとも走査線と交差する部分の膜厚が、他の部分に比べ薄いことを特徴とする薄膜トランジスタアレイ基板。

【請求項 9】絶縁表面を有する基板上に、信号線と、前記信号線上を少なくとも絶縁膜を介してと交差する走査線と、前記信号線と前記走査線の交差する部分に配置され、走査線に接続されたゲート電極とゲート絶縁膜と半導体膜と信号線に接続されたソース電極とドレイン電極を具備する薄膜トランジスタと、前記薄膜トランジスタのドレイン電極に接続された画素電極を具備する薄膜トランジスタアレイ基板において、ソース電極を具備する信号線が少なくとも 2つの膜厚を有し、前記信号線の少なくとも薄膜トランジスタとのソース電極のコンタクト部分における膜厚が、他の部分に比べ薄いことを特徴とする薄膜トランジスタアレイ基板。

【請求項 10】前記信号線が少なくとも 2つの膜厚を有し、前記信号線の少なくとも走査線と交差する部分の膜厚が、他の部分に比べ薄いことを特徴とする請求項 9 に記載の薄膜トランジスタアレイ基板。

【請求項 11】絶縁表面を有する基板上に、ゲート電極を具備する走査線を形成する工程と、ゲート絶縁膜を形成する工程と、半導体膜を形成する工程と、ソース電極またはドレイン電極を具備する信号線を形成する工程を少なくとも含む薄膜トランジスタアレイ基板の製造方法において、前記ソース電極またはドレイン電極を具備す

る信号線を形成する工程が、絶縁表面を有する基板上に導電膜を形成する工程と、前記導電膜上に少なくとも2つの厚さを有するレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより、少なくとも2つの厚さを有する導電膜パターンを形成する工程を少なくとも含むことを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項12】前記導電膜が不純物添加された半導体膜と金属膜の積層膜からなることを特徴とする請求項11に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項13】前記レジストパターンが透光部と半透光部と遮光部を有するレチクルのマスクパターンをレジストに転写するフォトリソグラフィ工程によって形成されることを特徴とする請求項7、請求項11または請求項12のいずれかに記載の薄膜トランジスタアレイ基板の製造方法。

【請求項14】前記レチクルの半透光部が解像限界以下の寸法を有する遮光パターンで形成されていることを特徴とする請求項13に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項15】前記基板が透光性基板であることを特徴とする請求項1から請求項6または請求項8から請求項10のいずれかに記載の薄膜トランジスタアレイ基板。

【請求項16】前記基板が透光性基板であることを特徴とする請求項7または請求項11から請求項14のいずれかに記載の薄膜トランジスタアレイ基板の製造方法。

【請求項17】請求項1から請求項6または請求項8から請求項10または請求項15のいずれかに記載の薄膜トランジスタアレイ基板によって画素が駆動されることを特徴とする液晶表示装置。

【請求項18】請求項1から請求項6または請求項8から請求項10または請求項15のいずれかに記載の薄膜トランジスタアレイ基板によって画素が駆動されることを特徴とするエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等のアクティブマトリクス型表示装置において用いられる、薄膜トランジスタアレイ基板およびその製造方法に関する。

【0002】

【従来の技術】従来より、液晶表示装置等のアクティブマトリクス型表示装置の画素は、薄膜トランジスタ(TFT)によって駆動されている。このTFTがマトリクス状に配置された薄膜トランジスタアレイ基板の製造方法としては、従来より以下のような方法がある。図8はTFTとしてボトムゲート型TFTを用いた薄膜トランジスタアレイ基板の製造工程の概略図である。以下、図8を用いて、従来の薄膜トランジスタアレイ基板の製造方法を具体的に説明する。

【0003】まず、Ti、Mo、W、Al、Ta、Crおよびこれらの合金の単層膜または積層膜からなる金属膜を300～500nmの膜厚で形成し、フォトリソによりパターンニングされたフォトレジストをマスクとして金属膜をエッチングすることにより、ゲート電極を形成する(図8(a))。

【0004】次いで、プラズマCVD法によりゲート絶縁膜、活性層、コンタクト層の連続成膜を行う。本実施の形態では、ゲート絶縁膜として窒化シリコン膜、活性層としてアモルファスシリコン膜、コンタクト層としてn+シリコン膜を原料ガスやプラズマ条件を変化させることにより形成している。

【0005】例えば、窒化シリコン膜はSiH₄ガス、NH₃ガス、H₂ガスおよびN₂ガスを原料とし、アモルファスシリコン膜はH₂ガスによって10%程度に希釈されたSiH₄ガスを原料とし、n+シリコン膜はアモルファスシリコン膜の原料ガスにPH₃ガスを混合することにより形成することができる。

【0006】各層の膜厚としては、ゲート絶縁膜が300～500nm、活性層が100～300nm、そしてコンタクト層が20～80nmの膜厚で形成する。次いで、フォトリソ工程により活性層およびコンタクト層を島状にパターンニングする(図8(b))。

【0007】次いで、Ti、Mo、W、Al、Ta、Crおよびこれらの合金の単層膜または積層膜からなる金属膜を200～400nmの膜厚で形成し、フォトリソによりパターンニングされたフォトレジストをマスクとして金属膜をエッチングすることにより、ソース/ドレイン電極を形成する。この時、活性層のチャネル領域上のコンタクト層も同時にエッチングを行い、チャネル領域とコンタクト領域の分離を行う(図8(c))。

【0008】次いで、パッシベーション膜となる窒化シリコン膜等の絶縁膜をプラズマCVD法等により、300～500nmの膜厚で形成し、その後、ソース/ドレイン領域へのコンタクトを取るためにパッシベーション膜を、フォトリソおよびエッチングにより開孔する(図8(d))。

【0009】最後に、ITO膜等の透明導電膜を形成し、フォトリソおよびエッチングにより、画素電極として加工することにより、薄膜トランジスタアレイ基板が完成する(図8(e))。

【0010】図7は、それぞれ、従来の薄膜トランジスタアレイ基板の平面図を示している。

【0011】近年では、表示装置の大型化や高精細化に伴い、薄膜トランジスタアレイ基板を構成するTFTの駆動能力の向上が求められている。TFTの画素駆動能力は、TFTの移動度(μ)、チャネル幅(W)とチャネル長(L)の比(W/L)、ゲート絶縁膜容量(C_{ox})などによって決定され、これらが大きいほど、画素駆動能力が向上する。そして、TFTの移動度

の向上は、半導体膜や半導体膜とゲート絶縁膜の界面の特性を改善することによって実現される。また、ゲート絶縁膜容量の向上は、絶縁膜として誘電率の高い絶縁材料を用いることや、ゲート絶縁膜の膜厚を薄くすることによって実現される。

【0012】また、薄膜トランジスタアレイ基板全体でみた場合には、走査線や信号線といった配線の抵抗も画素の駆動能力に影響を与える。特に、大型の薄膜トランジスタアレイ基板では、配線抵抗を低くすることが要求されている。

【0013】

【発明が解決しようとする課題】TFTの駆動能力を向上させるためには、ゲート絶縁膜の膜厚を薄くすることが有効である。また、ゲート絶縁膜の薄膜化は生産性の向上という点でも望ましい。しかしながら、ゲート絶縁膜はゲート電極の膜厚段差を被覆し、ゲート電極とソース／ドレイン電極の短絡を防止する役目も果たしている。このため、ゲート絶縁膜を薄くしていくと、薄膜トランジスタにおけるゲート電極とソース／ドレイン電極間の絶縁不良や、蓄積容量の短絡および走査線と信号線の短絡等の不良が増し、歩留が低下する。この問題は、ゲート電極の膜厚を薄くすることにより解決することが可能であるが、一方で、薄膜トランジスタアレイ基板全体としては、配線抵抗が高くなるため、画素の駆動能力が低下するという問題が発生する。したがって、ゲート絶縁膜の薄膜化と配線抵抗の低抵抗化の両立が困難であった。

【0014】本発明は、上記の課題を解決し、配線抵抗の高抵抗化や薄膜トランジスタの短絡、蓄積容量の短絡、配線間の短絡等の不良を増加させることなく、その特性および生産性が向上する薄膜トランジスタアレイ基板およびその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】前記目的を解決するために、本発明に係る薄膜トランジスタアレイ基板は、ゲート電極を兼ねる走査線が、少なくとも2つの膜厚を有し、前記走査線の少なくとも薄膜トランジスタのチャネル部に対応する部分の膜厚が、他の部分に比べ薄いことを特徴としている。これにより、薄膜トランジスタの短絡不良を増加させることなく、ゲート絶縁膜を薄膜化できるため、薄膜トランジスタアレイ基板の特性および生産性が向上する。また、配線抵抗もほとんど変化させることはない。

【0016】また、本発明に係る薄膜トランジスタアレイ基板は、ゲート電極および蓄積容量電極を兼ねる走査線が、少なくとも2つの膜厚を有し、前記走査線の少なくとも蓄積容量電極に対応する部分の膜厚が、他の部分に比べ薄いことを特徴としている。これにより、蓄積容量の短絡不良を増加させることなく、ゲート絶縁膜を薄膜化できるため、薄膜トランジスタアレイ基板の特性お

よび生産性が向上する。また、配線抵抗もほとんど変化させることはない。

【0017】さらに、本発明に係る薄膜トランジスタアレイ基板は、走査線が、少なくとも2つの膜厚を有し、前記走査線の少なくとも信号線と交差する部分の膜厚が、他の部分に比べ薄いことを特徴としている。これにより、配線間の短絡不良を増加させることなく、ゲート絶縁膜を薄膜化できるため、薄膜トランジスタアレイ基板の特性および生産性が向上する。また、走査線の長さに比べ、走査線の膜厚が薄い部分の長さが短いため、配線抵抗もあまり変化させることはない。

【0018】また、本発明に係る薄膜トランジスタアレイ基板の製造方法は、ゲート電極および蓄積容量電極を兼ねる走査線を形成する工程が、1層以上の金属膜を形成する工程と、前記金属膜上に少なくとも2つの厚さを有するレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより、少なくとも2つの厚さを有する金属膜パターンを形成する工程を少なくとも含むことを特徴としている。これにより、製造工程数を増加させることなく、少なくとも2つの厚さを有するゲート電極および蓄積容量電極を兼ねる走査線が可能となるため、製造コストを増加させることなく、特性および生産性に優れた薄膜トランジスタアレイ基板を製造することができる。

【0019】また、本発明に係る他の薄膜トランジスタアレイ基板は、信号線が少なくとも2つの膜厚を有し、前記信号線の少なくとも走査線と交差する部分の膜厚が、他の部分に比べ薄いことを特徴としている。これにより、配線間の短絡不良を増加させることなく、ゲート絶縁膜を薄膜化できるため、薄膜トランジスタアレイ基板の特性および生産性が向上する。また、信号線の長さに比べ、信号線の膜厚が薄い部分の長さが短いため、配線抵抗もあまり変化させることはない。

【0020】また、本発明に係る他の薄膜トランジスタアレイ基板は、ソース電極を兼ねる信号線が少なくとも2つの膜厚を有し、前記信号線の少なくとも薄膜トランジスタとのソース電極のコンタクト部分における膜厚が、他の部分に比べ薄いことを特徴としている。これにより、薄膜トランジスタの短絡不良を増加させることなく、ゲート絶縁膜を薄膜化できるため、薄膜トランジスタアレイ基板の特性および生産性が向上する。また、配線抵抗もほとんど変化させることはない。

【0021】また、本発明に係る薄膜トランジスタアレイ基板の製造方法は、ソース電極を兼ねる信号線およびドレイン電極を形成する工程が、1層以上の導電膜を形成する工程と、前記導電膜上に少なくとも2つの厚さを有するレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより、少なくとも2つの厚さを有する導電膜パターンを形成する工程を少なくとも含むことを特徴としている。これにより、製

10

20

30

40

50

造工程数を増加させることなく、少なくとも2つの厚さを有するソース電極を兼ねる信号線が可能となるため、製造コストを増加させることなく、特性および生産性に優れた薄膜トランジスタアレイ基板を製造することができる。

【0022】本発明における薄膜トランジスタアレイ基板の構成によれば、従来に比べ欠陥や不良を低減することができる。または、その特性および生産性を向上させることができる。また、本発明における薄膜トランジスタアレイ基板の製造方法によれば、製造工程数を増加させることなく、従来に比べ欠陥や不良を低減することができる。または、その特性および生産性を向上させることができる。

【0023】また、本発明における液晶表示装置によれば、その画素を駆動する薄膜トランジスタアレイ基板の欠陥や不良が少なく、画素駆動能力が向上するため、液晶表示装置の表示品質が向上する。

【0024】また、本発明におけるエレクトロルミネッセンス表示装置によれば、その画素を駆動する薄膜トランジスタアレイ基板の欠陥や不良が少なく、画素駆動能力が向上するため、エレクトロルミネッセンス表示装置の表示品質が向上する。

【0025】

【発明の実施の形態】以下、実施例を用いて本発明をさらに具体的に説明する。

【0026】本発明における薄膜トランジスタアレイ基板の製造方法では、一部のフォトリソグラフィ工程において、遮光部と半透光部と透光部を設けたマスクを用いて、レジスト膜を露光することにより、レジスト膜の現像後、表面に凹凸のあるレジストパターンを形成する、いわゆるグレイトーン露光技術を用いている。この露光技術については、特開平7-49411号公報や特開平11-307780号公報に示されている。

【0027】本発明における実施例としては、例えば金属膜上に上記グレイトーン露光技術を用いて、第1のレジスト領域と、前記第1のレジスト領域よりも膜厚の薄い第2のレジスト領域が形成された、2つの膜厚を有するレジストパターンを形成する。そして、このレジストパターンをマスクとして、前記金属膜のエッチングを行う。ここで、第2のレジスト領域におけるレジストおよびその下の金属膜の一部もエッチングされるように第2のレジスト領域のレジスト膜厚を適切に設定することにより、2つの膜厚を有する金属膜パターンを形成することができる。

【0028】なお、この際、第1のレジスト領域では、レジストが残るように、その厚さを設定すればよい。

【0029】以上のような方法により、1回のフォトリソグラフィ工程で、複数のパターンを形成することができるため、工程数を増加させることはない。

【0030】（実施の形態1）本実施の形態は、薄膜ト

ランジスタアレイ基板およびその製造方法の第1実施例に関する。

【0031】図1および図2は本発明の第1実施例に係る薄膜トランジスタアレイ基板の平面概略図および断面概略図を示している。ガラス等の絶縁表面を有する透光性の基板上に2つの膜厚を有するゲート電極および蓄積容量電極を兼ねた走査線1が形成されており、その上には、ゲート絶縁膜を介して島化された半導体膜およびソース電極を兼ねた信号線5およびドレイン電極6が順次形成されている。そして、薄膜トランジスタを保護するためのパシベーション膜7が各電極とのコンタクト孔を除いた領域に形成され、最表面にはドレイン電極と接続された画素電極8が形成されている。

【0032】なお、本実施の形態においては、走査線のうち、ゲート電極部9と蓄積容量電極部10と信号線との交差部分の膜厚が他の部分の膜厚に比べて薄くなっている。ゲート電極が他の部分よりも膜厚が薄いことは、ゲート絶縁膜によるゲート電極段差の被覆性が向上するため、薄膜トランジスタにおけるゲートとソース間の短絡等による不良が低減され望ましい。また、蓄積容量電極が他の部分よりも膜厚が薄いことは、ゲート絶縁膜による電極段差の被覆性が向上するため、走査線と画素電極の間で形成される蓄積容量の短絡による不良が低減され望ましい。なお、蓄積容量が短絡すると、液晶表示装置において、画素欠陥となってしまう。また、走査線における信号線との交差部分の膜厚が他の部分の膜厚に比べて薄いことは、ゲート絶縁膜による電極段差の被覆性が向上するため、走査線と信号線の短絡や、信号線の断線による不良が低減され望ましい。

【0033】本実施の形態における薄膜トランジスタアレイ基板の製造方法は、以下に示す通りである。図3は本発明の第1実施例に係る薄膜トランジスタアレイ基板の製造工程概略図を示している。

【0034】まず、Al合金からなる金属膜を300nmの膜厚で形成し、前述のグレイトーン露光技術を用いたフォトリソグラフィ工程により、2つの膜厚を有するレジストパターンを形成する。そして、エッチングにより、ゲート電極と蓄積容量電極を兼ねた走査線1を形成する。本実施の形態では、走査線のうちゲート電極部と蓄積容量部と後に信号線と交差する部分には、他の部分よりも膜厚の薄いレジストパターン（第2のレジスト領域）が形成されており、前記エッチングの際に、前記走査線のうちゲート電極部と蓄積容量部と後に信号線と交差する部分では、レジストパターンおよびその下の金属膜の一部がエッチングされ、その他のレジスト膜厚の厚い部分（第1のレジスト領域）では、レジストのみがエッチングされるように第1および第2の領域のレジスト膜厚を設定している。これにより、膜厚300nmの走査線のうち、ゲート電極部と蓄積容量部と後に信号線と交差する部分では、膜厚が150nmと薄くなってい

る。(図3(a))。

【0035】また、レジスト膜のパターニングにグレイトーン露光技術を用いており、エッチングも一回で加工しているため、従来に比べ、フォトマスクの枚数や工程数が増加することはない。

【0036】次いで、プラズマCVD法によりゲート絶縁膜2として窒化シリコン膜を200nm、活性層3としてアモルファスシリコン膜を200nm、コンタクト層4としてn+アモルファスシリコン膜を30nmの膜厚で順次形成する。例えば、窒化シリコン膜はSiH₄ガス、NH₃ガス、H₂ガスおよびN₂ガスを原料とし、アモルファスシリコン膜はH₂ガスによって10%程度に希釈されたSiH₄ガスを原料とし、n+シリコン膜はアモルファスシリコン膜の原料ガスにPH₃ガスを混合したプラズマCVD法により形成することができる。

【0037】なお、本実施の形態においては、走査線のゲート電極部や蓄積容量部等の膜厚が薄くなっているため、これを被覆するゲート絶縁膜も従来と比べ、30%から50%薄くすることができる。これにより、薄膜トランジスタアレイ基板の特性(例えばTFTのON電流)および生産性が向上する。また、ゲート絶縁膜の膜厚を従来通りに設定すれば、短絡や断線等の不良を低減することが可能となる。

【0038】次いで、フォトリソグラフィ工程により活性層およびコンタクト層を島状にパターニングする(図3(b))。

【0039】次いで、MoW合金からなる金属膜を300nmの膜厚で形成し、フォトリソグラフィ工程によりパターニングされたフォトレジストをマスクとして前記金属膜をエッチングすることにより、ソース電極を兼ねる信号線5およびドレイン電極6を形成する。この時、活性層のチャネル領域上のコンタクト層4も同時にエッチングを行い、チャネル領域とコンタクト領域の分離を行う(図3(c))。

【0040】次いで、パシベーション膜7となる窒化シリコン膜をプラズマCVD法等により、400nmの膜厚で形成し、その後、ソース/ドレイン領域へのコンタクトを取るためにパシベーション膜を、フォトリソグラフィ工程およびエッチングにより開孔する(図3(d))。

【0041】最後に、導電性膜としてITO膜を形成し、フォトリソグラフィ工程およびエッチングにより、画素電極8として加工することにより、薄膜トランジスタアレイ基板が完成する(図3(e))。

【0042】なお、本実施の形態では、ゲート電極としてAl合金をソース/ドレイン電極としてMoW合金を用いたが、これらの材料に限ることなく、Ti、Mo、W、Al、Ta、Crおよびこれらの合金の単層膜または積層膜を用いれば良い。また、他の導電性膜、半導体膜、絶縁膜も、本実施の形態に示した材料に限らず、こ

れらの機能を果たす膜であればよい。また、それらの膜厚に関しても、従来と同程度の範囲に設定すれば良い。

【0043】(実施の形態2) 本実施の形態は、薄膜トランジスタアレイ基板およびその製造方法の第2実施例に関する。

【0044】図4および図5は本発明の第2実施例に係る薄膜トランジスタアレイ基板の平面概略図および断面概略図を示している。ガラス等の絶縁表面を有する透光性の基板上に2つの膜厚を有するソース電極を兼ねた信号線5およびドレイン電極6が形成されており、その上には、島化された半導体膜、ゲート絶縁膜およびゲート電極と蓄積容量電極を兼ねた走査線が順次形成されている。そして、薄膜トランジスタを保護するためのパシベーション膜が各電極とのコンタクト孔を除いた領域に形成され、最表面にはドレイン電極6と接続された画素電極8が形成されている。

【0045】なお、本実施の形態においては、信号線およびドレイン電極のうち、少なくとも活性層の下に配置される部分と、走査線との交差部分の膜厚が他の部分の膜厚に比べて薄くなっている。信号線およびドレイン電極のうち、少なくとも活性層の下に配置される部分が他の部分よりも膜厚が薄いことは、活性層となる半導体膜による信号線およびドレイン電極段差の被覆性が向上するため、薄膜トランジスタにおけるゲートとソース間の短絡等による不良が低減され望ましい。また、信号線における走査線との交差部分の膜厚が他の部分の膜厚に比べて薄いことは、ゲート絶縁膜による電極段差の被覆性が向上するため、走査線と信号線の短絡や、走査線の断線による不良が低減され望ましい。

【0046】本実施の形態における薄膜トランジスタアレイ基板の製造方法は、以下に示す通りである。図6は本発明の第2実施例に係る薄膜トランジスタアレイ基板の製造工程概略図を示している。

【0047】まず、n+シリコン膜およびMoW合金からなる金属膜をそれぞれ100nmおよび200nmの膜厚で順に積層し、導電膜を形成する。次に、前述のグレイトーン露光技術を用いたフォトリソグラフィ工程により、2つの膜厚を有するレジストパターンを前記導電膜上に形成する。そして、エッチングにより、ソース電極を兼ねた信号線5およびドレイン電極6を形成する。本実施の形態では、ドレイン電極および信号線のうち、ドレイン電極の一部と信号線のソース電極部の一部および後に走査線と交差する部分には、他の部分よりも膜厚の薄いレジストパターン(第2のレジスト領域)が形成されており、n+シリコン膜と金属膜の積層膜である前記導電膜のエッチングの際に、前記ドレイン電極の一部と前記信号線のうちソース電極部の一部と後に信号線と交差する部分では、レジストパターンおよびその下の導電膜の上層にある金属膜のみがエッチングされ、その他のレジスト膜厚の厚い部分(第1のレジスト領域)で

は、レジストのみがエッチングされるように第1および第2の領域のレジスト膜厚を設定している。これにより、膜厚300nmの信号線のうち、ソース電極の一部と後に走査線と交差する部分では、膜厚が100nmと薄くなっており、n+シリコン膜が露出している(図6(a))。

【0048】また、レジスト膜のパターニングにグレイトーン露光技術を用いており、エッチングも一回で加工しているため、従来に比べ、フォトマスクの枚数や工程数が増加することはない。

【0049】次いで、プラズマCVD法等により活性層3としてアモルファスシリコン膜を150nmの膜厚で形成した後、フォトリソグラフィ工程により活性層を島状にパターニングする(図6(b))。

【0050】次いで、プラズマCVD法等によりゲート絶縁膜2として窒化シリコン膜を250nm、スパッタ法等によりゲート電極を兼ねた走査線となる金属膜としてMoW合金膜を250nmの膜厚で順次形成する。次いで、フォトリソグラフィ工程によりパターニングされたフォトレジストをマスクとして前記金属膜をエッチングすることにより、ゲート電極を兼ねた走査線1を形成する(図6(c))。

【0051】なお、本実施の形態においては、信号線のソース電極部の一部やドレイン電極の一部の膜厚が薄くなっているため、これを被覆するように形成する活性層の膜厚は必要以上に厚くする必要はない。これにより、薄膜トランジスタアレイ基板の生産性が向上する。また、活性層の膜厚を従来通りに設定すれば、ゲート・ソース間の短絡等の不良を低減することが可能となる。

【0052】また、本実施の形態においては、信号線の後に走査線と交差する部分では、膜厚が他の部分と比べて薄くなっているため、走査線との絶縁を保つゲート絶縁膜を従来通りに設定すれば、走査線と信号線の短絡や走査線の断線等の不良を低減することが可能となる。

【0053】次いで、パシベーション膜7となる窒化シリコン膜をプラズマCVD法等により、300nmの膜厚で形成し、その後、走査線、信号線およびドレイン電極へのコンタクトを取るためにパシベーション膜を、フォトリソグラフィ工程およびエッチングにより開孔する(図6(d))。

【0054】最後に、導電性膜としてITO膜を形成し、フォトリソグラフィ工程およびエッチングにより、画素電極8として加工することにより、薄膜トランジスタアレイ基板が完成する(図6(e))。

【0055】なお、本実施の形態では、走査線、信号線およびドレイン電極となる金属膜としてMoW合金を用いたが、この材料に限ることなく、Ti、Mo、W、Al、Ta、Crおよびこれらの合金の単層膜または積層膜を用いれば良い。また、他の導電性膜、半導体膜、絶縁膜も、本実施の形態に示した材料に限らず、これらの

機能をみだす膜であればよい。また、それらの膜厚に関しても、従来と同程度の範囲に設定すれば良い。

【0056】(実施の形態3) 本実施の形態は、本発明の液晶表示装置に関する。

【0057】図9は本発明の第3実施例である液晶表示装置の概略図である。図10は本発明の第3実施例である液晶表示装置の等価回路である。実施の形態1または実施の形態2に記載された方法を用いて、薄膜トランジスタアレイ基板を作製した後、この上に配向膜を塗布

し、ラビング処理を行った。図9には実施の形態1に記載の方法によって薄膜トランジスタアレイ基板を作製した実施例を示している。そして、対向電極13とカラーフィルタ12を形成した対向基板11にも同様に配向膜を塗布し、ラビングによる配向処理を行った。両基板を貼り合わせ、その間に液晶14を注入し、両基板前後に偏光板15を配置する。そして各スイッチングトランジスタを駆動するための駆動回路17を接続することにより液晶表示装置が完成する。

【0058】なお、本発明の薄膜トランジスタアレイ基板によって液晶表示装置の画素を駆動することにより、配線やスイッチングトランジスタの短絡や断線などの不良が低減されるため、点欠陥や線欠陥といった表示不良が低減される。

【0059】(実施の形態4) 本実施の形態は、本発明のエレクトロルミネッセンス表示装置に関する。

【0060】図11は本発明の第4実施例であるエレクトロルミネッセンス表示装置の概略図である。図12は本発明の第4実施例であるエレクトロルミネッセンス表示装置の等価回路である。実施の形態1または実施の形態2に記載された方法を用いて、多結晶シリコン膜を活性層とした薄膜トランジスタアレイ基板を作製した後、画素電極上に導電性高分子23として例えばポリエチレンジオキシチオフェン(PEDT)と実際に発光するポリジアルキルフルオレン誘導体を形成し、最後にCa陰極25を蒸着してエレクトロルミネッセンス表示装置が完成する。その動作は以下の通りである。まず、スイッチングトランジスタがONするように走査線18にパルス信号を与えたときに信号線19に表示信号を印加すると、駆動用トランジスタ27がON状態となって、電流供給線28から電流が流れ、エレクトロルミネッセンスセルが発光する。

【0061】本実施の形態では、エレクトロルミネッセンス材料として、ポリジアルキルフルオレン誘導体を用いたが、他の有機材料、例えば他のポリフルオレン系材料やポリフェニルビニレン系の材料、または無機材料でもよい。また、エレクトロルミネッセンス材料の形成方法としては、塗布、蒸着、インクジェットなどの方法を用いればよい。

【0062】なお、本発明の薄膜トランジスタアレイ基板によってエレクトロルミネッセンス表示装置の画素を

駆動することにより、配線やスイッチングトランジスタの短絡や断線などの不良が低減されるため、点欠陥や線欠陥といった表示不良が低減される。

【0063】

【発明の効果】本発明の薄膜トランジスタアレイ基板の構成によれば、従来に比べ、配線間の短絡や断線などの不良が低減される。また、ゲート絶縁膜の厚さを薄くすることが可能となるため、薄膜トランジスタアレイ基板の特性および生産性が向上する。このため、本発明の実用上の効果は大きい。

【0064】また、本発明の薄膜トランジスタアレイ基板の製造方法によれば、製造工程数を増加させることなく、配線間の短絡や断線などの不良を低減することができ、製造コストを低減することができ、実用上の効果は大きい。

【0065】また、本発明における液晶表示装置によれば、配線やトランジスタの短絡や断線による表示不良が低減され、その実用上の効果は大きい。

【0066】また、本発明におけるエレクトロルミネッセンス表示装置によれば、配線やトランジスタの短絡や断線による表示不良が低減され、その実用上の効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る薄膜トランジスタアレイ基板の平面概略図

【図2】本発明の第1実施例に係る薄膜トランジスタアレイ基板の断面概略図

【図3】本発明の第1実施例に係る薄膜トランジスタアレイ基板の製造工程概略図

【図4】本発明の第2実施例に係る薄膜トランジスタアレイ基板の平面概略図

【図5】本発明の第2実施例に係る薄膜トランジスタアレイ基板の断面概略図

【図6】本発明の第2実施例に係る薄膜トランジスタアレイ基板の製造工程概略図

【図7】従来の薄膜トランジスタアレイ基板の平面概略図

* 【図8】従来の薄膜トランジスタアレイ基板の製造工程概略図

【図9】本発明の液晶表示装置の概略図

【図10】本発明の液晶表示装置の等価回路を示す図

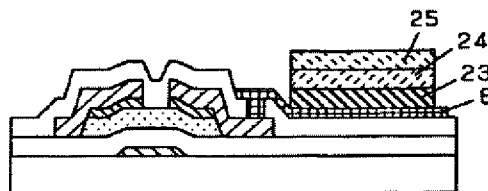
【図11】本発明のエレクトロルミネッセンス表示装置の概略図

【図12】本発明のエレクトロルミネッセンス表示装置の等価回路を示す図

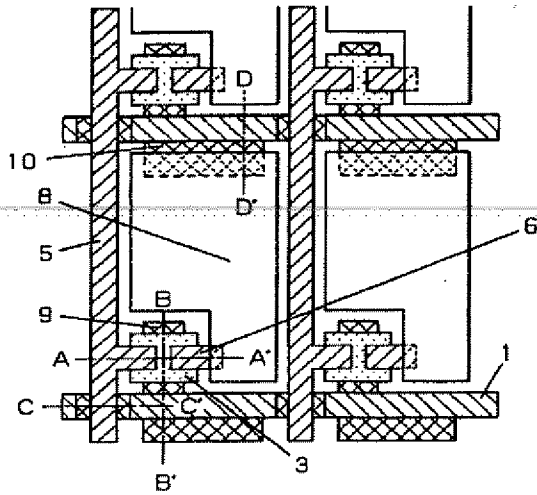
【符号の説明】

- | | |
|----|-------------------|
| 10 | 1 走査線 |
| | 2 ゲート絶縁膜 |
| | 3 活性層 |
| | 4 コンタクト層 |
| | 5 信号線 |
| | 6 ドレイン電極 |
| | 7 パシベーション膜 |
| | 8 画素電極 |
| | 9 ゲート電極部 |
| | 10 蓄積容量電極部 |
| 20 | 11 対向基板 |
| | 12 カラーフィルタ |
| | 13 対向電極 |
| | 14 液晶 |
| | 15 偏光板 |
| | 16 バックライト |
| | 17 駆動回路 |
| | 18 走査線 |
| | 19 信号線 |
| | 20 スwitchングトランジスタ |
| | 21 液晶セル |
| | 22 蓄積容量 |
| | 23 導電性高分子 |
| | 24 ポリフルオレン誘導体 |
| | 25 Ca陰極 |
| | 26 エレクトロルミネッセンスセル |
| | 27 駆動用トランジスタ |
| * | 28 電流供給線 |

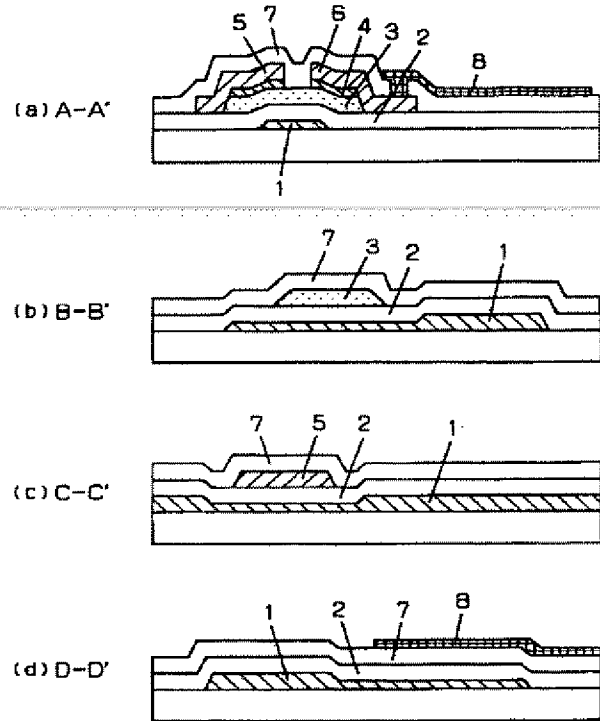
【図11】



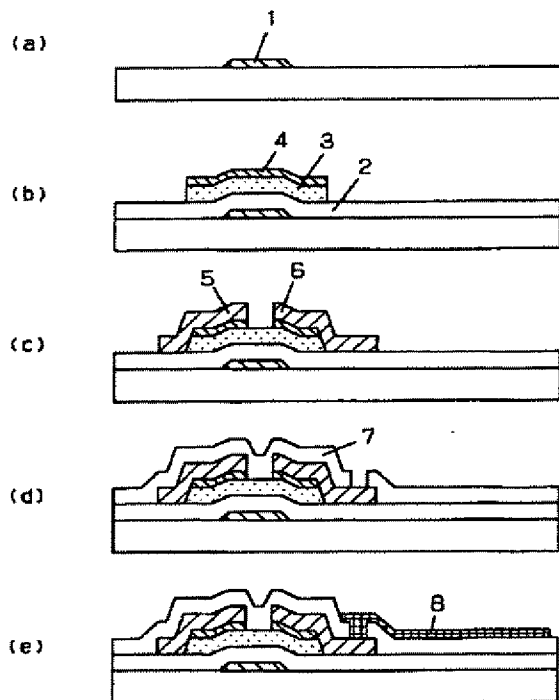
【図 1】



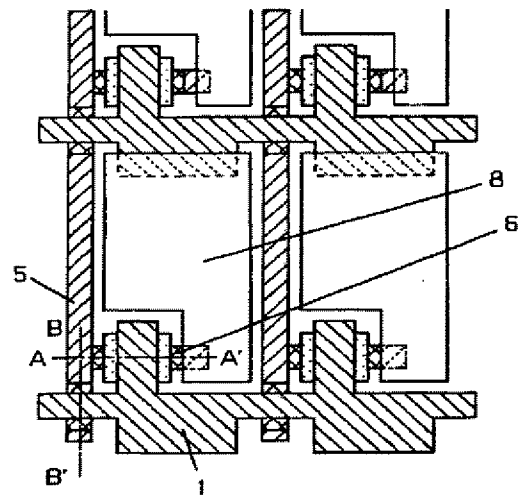
【図 2】



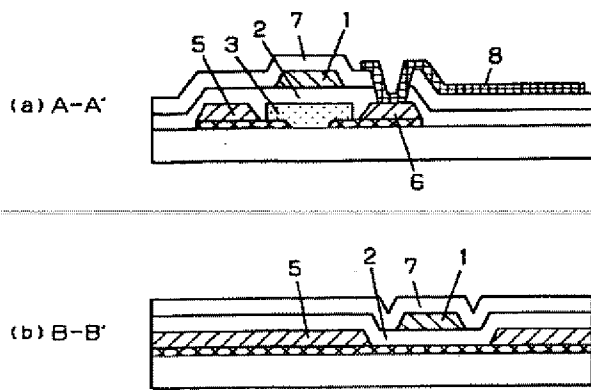
【図 3】



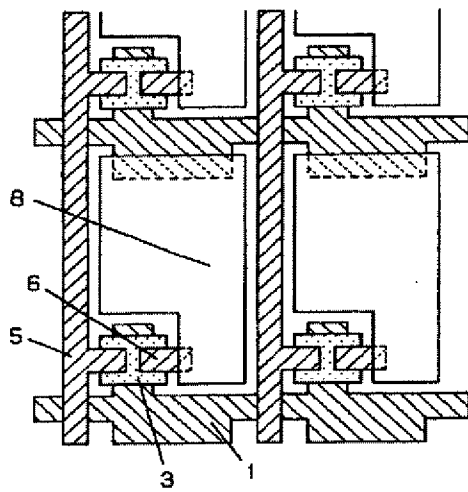
【図 4】



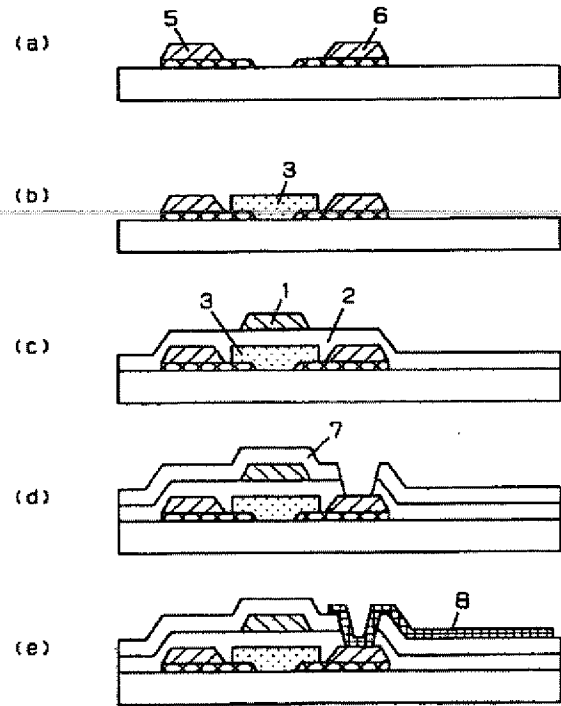
【図 5】



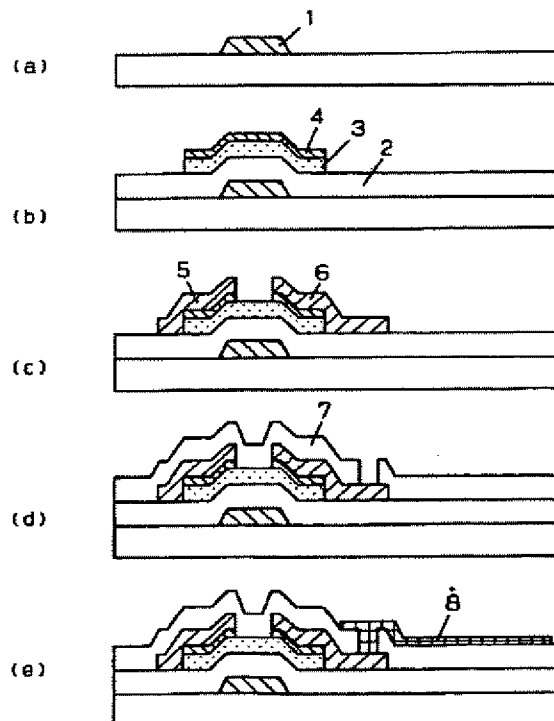
【図 7】



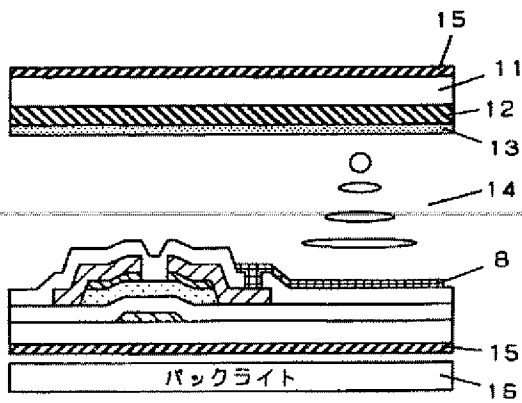
【図 6】



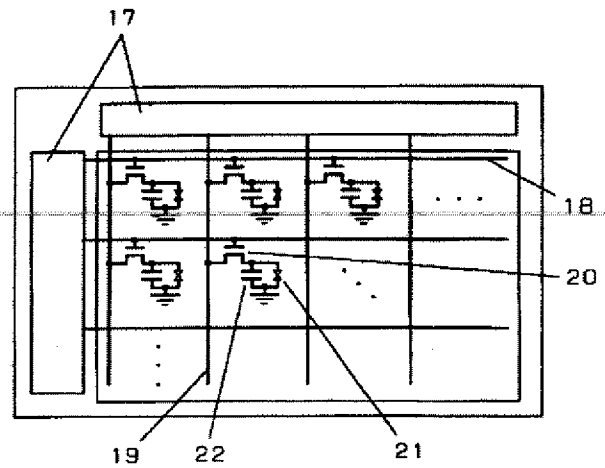
【図 8】



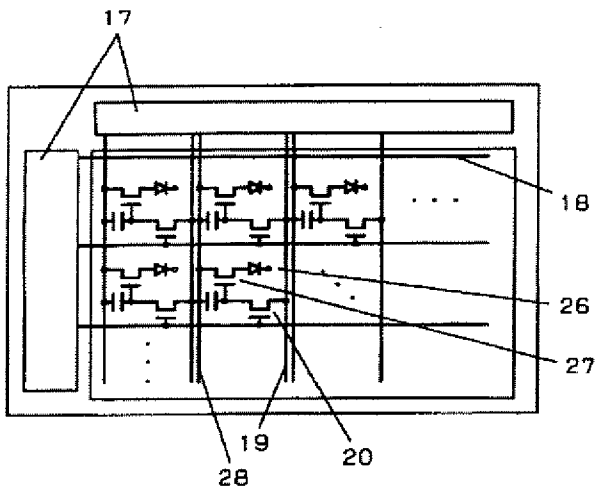
【図9】



【図10】



【図12】



フロントページの続き

(51) Int. Cl.⁷
H01L 21/768

識別記号

F I
H01L 21/90
29/78

テーマコード (参考)

W
612C

F ターム(参考) 2H092 JA25 JA26 JA28 JA38 JA42
JA44 JB13 JB23 JB32 JB33
JB38 KA07 MA05 MA07 MA08
MA12 MA27 MA35 MA37 MA41
NA27 PA06
5C094 AA42 AA43 BA03 BA27 BA31
BA43 CA19 DA15 EA04 EA07
EB02 JA08
5E033 GC04 HH08 HH09 HH17 HH18
HH19 HH20 HH21 KK08 KK09
KK17 KK18 KK19 KK20 MM20
MM28 NN21 QQ01 VV06 VV15
XX02 XX31
5F110 AA01 AA03 AA26 BB02 CC01
CC07 DD02 EE03 EE04 EE06
EE14 EE25 EE37 EE44 FF03
FF30 GG02 GG15 GG24 GG45
HK03 HK04 HK06 HK09 HK16
HK21 HK35 HL07 NN04 NN24
NN35 NN72